

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Hideki Hirayama
Serial No. :
Filed : February 20, 2004
Title : DECODER HAVING ANALOG PLL CIRCUIT AND DIGITAL PLL CIRCUIT

Art Unit : Unknown
Examiner : Unknown

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application:

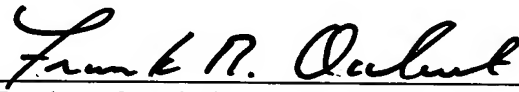
Japan Application No. 2003-042416 filed February 20, 2003

A certified copy of the application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: February 20, 2004


Frank R. Occhiuti
Reg. No. 35,306

Fish & Richardson P.C.
225 Franklin Street
Boston, MA 02110-2804
Telephone: (617) 542-5070
Facsimile: (617) 542-8906

20806141.doc

CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Label No. EV331654791US

February 20, 2004
Date of Deposit

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 0 日
Date of Application:

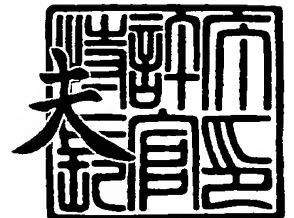
出 願 番 号 特 願 2 0 0 3 - 0 4 2 4 1 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 4 2 4 1 6]

出 願 人 三 洋 電 機 株 式 有 限 公 司
Applicant(s):

2 0 0 4 年 1 月 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 8 3 3 4

【書類名】 特許願

【整理番号】 KGB1030004

【提出日】 平成15年 2月20日

【あて先】 特許庁長官 殿

【国際特許分類】 G11B 20/10 351

【発明者】

 【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社
社内

 【氏名】 平山 秀樹

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 桑野 幸徳

【代理人】

 【識別番号】 100111383

 【弁理士】

 【氏名又は名称】 芝野 正雅

 【連絡先】 電話 0 3 - 3 8 3 7 - 7 7 5 1 知的財産センター 東京事務所

【手数料の表示】

 【予納台帳番号】 013033

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 デコード装置

【特許請求の範囲】

【請求項 1】 アドレス情報を含む所定周波数のウォブル信号から前記アドレス情報を復調するデコード装置であって、

第 1 クロックを発振出力して前記ウォブル信号と前記第 1 クロックとの位相差をカウントし、そのカウント値に基づいて前記第 1 クロックを前記ウォブル信号に同期させるデジタル PLL 回路と、

第 2 クロックを発振出力して前記ウォブル信号と前記第 2 クロックとの位相差に応じた制御電圧を生成し、その制御電圧に基づいて前記第 2 クロックを前記ウォブル信号に同期させるアナログ PLL 回路と、

前記ウォブル信号をサンプリングして前記アドレス情報を復調する復調回路とを備え、

前記復調回路は、前記第 1 及び第 2 クロックの切り替えが可能に設定され、選択した前記第 1 及び第 2 クロックのうち何れか一方を用いて前記ウォブル信号をサンプリングすることを特徴とするデコード装置。

【請求項 2】 前記ウォブル信号と前記第 2 クロックとを比較し、前記第 2 クロックが前記ウォブル信号に同期したことを検出する検出回路をさらに備え、

前記復調回路は、前記検出回路の検出結果に応答して、前記第 1 及び第 2 クロックのうち何れか一方を選択することを特徴とする請求項 1 記載のデコード装置。

【請求項 3】 前記復調回路は、前記第 2 クロックが前記ウォブル信号に同期するまでの期間で前記第 1 クロックを用いて前記ウォブル信号をサンプリングし、前記第 2 クロックが前記ウォブル信号に同期した後、前記第 2 クロックを用いて前記ウォブル信号をサンプリングすることを特徴とする請求項 1 又は 2 記載のデコード装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えばデータ記録制御装置内に搭載され、ディスク媒体の記録制御等に使用するアドレス情報を復調するデコード装置に関する。

【 0 0 0 2 】

【従来の技術】

近年、記録媒体として光ディスク等のディスク媒体が普及してきている。こうしたディスク媒体の中には、データの記録が可能な媒体も存在する。例えば、DVD+R (Digital Versatile Disc+Recordable) , DVD+RW (Digital Versatile Disc+ReWritable) (以下、これらを称してDVD+R/RWという) 等がそれである。

【 0 0 0 3 】

DVD+R/RWなどの光ディスクは、ディスクの平坦面(ランド)にグルーブと呼ばれる溝によって構成されるトラックを備えている。このグルーブはわずかに蛇行(ウォブル)して形成されており、この蛇行から、所定の周期を有するウォブル信号(ウォブルしたグルーブの蛇行方向に応じて電圧の変化する信号)が取り出される。ウォブルは、ディスクの記録フォーマットに基づく所定のデータ長のデータ記録領域に対応して形成される。

【 0 0 0 4 】

DVD+R/RWの場合、データフォーマットとして、1フレーム(93バイト)×26で1セクタが構成され、記録フォーマットとして、2フレームに93周期分のウォブル信号が割り当てられる。また、DVD+R/RWには、ウォブルの蛇行成分に位相変調を施すことによってウォブル信号の位相を変調させ、それによってディスク上の物理的な位置情報(アドレス情報)を表すアドレスインプリグループ(ADIP)が形成される。

【 0 0 0 5 】

このADIPは、2フレームに対して1回の割合で設けられ、93周期分のウォブル信号のうちの先頭の8周期に対して位相変調が施されることによって作り込まれる。従って、ディスク媒体から読み出される再生信号は、ウォブル信号の先頭の8周期にアドレス情報が重畳した形となっている。そして、この再生信号を1セクタ分読み出し、この1セクタ分のADIPを組み合わせることによって

アドレス情報を取得することができる。これにより、レーザがトレースしているディスク上の位置を把握できるようになっている。

【0006】

図4は、再生信号の一例を示す波形図である。同図に示す(a)～(c)はそれぞれウォブル信号の位相が変調された再生信号Aを示す。位相変調のパターンとしては例えば3種類が準備され、それぞれのパターンに、SYNC(同期)、ビット値「0」、ビット値「1」が対応付けられている。そして、1セクタ分のADIPのパターンのそれぞれが対応する値と置き換えられ、アドレス情報を示すデータとなる。

【0007】

例えば図4(a)がSYNC(同期)パターン、図4(b)がビット値「0」に相当するパターン、図4(c)がビット値「1」に相当するパターンを示している。尚、同図において、「PW」、「NW」は、再生信号Aの位相の正、負を示しており、信号Bは、再生信号Aを二値化した再生データを示している。この再生データBは、それに対応するウォブルデータ(ウォブル信号を二値化した信号)の位相が反転している部分でパルス幅が長くなる。

【0008】

上記ウォブル信号中に記録されているADIPは、デコード装置によりアドレス情報に復調される。従来、デコード装置は、例えば排他的論理和回路(以下、EOR回路)、PLL回路及び復調回路を含み、PLL回路により生成されるウォブル信号に同期したクロックと該ウォブル信号との排他的論理和を算出し、復調回路によりアドレス情報を復調する。

【0009】

すなわち、PLL回路は、電圧制御発振器を通じて発振制御されるクロックとウォブル信号とを位相比較器で位相比較し、チャージポンプ及びローパスフィルタを介して前記位相差に応じた電圧信号を電圧制御発振器にフィードバックすることで、ウォブル信号に同期したクロックを生成する。EOR回路は、このウォブル信号に同期したクロックと該ウォブル信号との排他的論理和を求めることによって同ウォブル信号の位相反転(つまりADIP)を検出し、この検出結果に

基づいて、復調回路はアドレス情報に復調する。こうして復調されたアドレス情報に基づいてデータの記録又は再生が行われる。

【 0 0 1 0 】

【発明が解決しようとする課題】

ところで、上記従来のデコード装置において、PLL回路はアナログ回路で構成されている。このアナログPLL回路は、一般に位相ノイズ特性には優れているが、追従性は好ましくない。すなわち、アナログPLL回路では、電圧制御発振器の発振周波数をウォブル信号の周波数に高速にロックさせる（すなわちクロックをウォブル信号に高速に同期させる）ことが困難であり、それを実現するには、回路規模が全体として大きくならざるを得ず、コストが増大するという問題があった。

【 0 0 1 1 】

上記したように、EOR回路は、PLL回路によって生成されるウォブル信号に同期したクロックに基づいてウォブル信号の位相反転を検出する。このため、PLL回路におけるロック時間の遅れは、復調処理の効率を低下させる原因となる。このことは、データの記録又は再生動作時における応答速度を低下させる要因である。

【 0 0 1 2 】

本発明はこうした実情に鑑みてなされたものであり、その目的は位相変調によって記録されるアドレス情報の復調処理を効率化することのできるデコード装置を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】

上記目的を達成するため、請求項1に記載の発明によれば、アドレス情報を含む所定周波数のウォブル信号から前記アドレス情報を復調するデコード装置は、デジタルPLL回路とアナログPLL回路と復調回路とを備えている。デジタルPLL回路は、第1クロックを発振出力して前記ウォブル信号と前記第1クロックとの位相差をカウントし、そのカウント値に基づいて前記第1クロックを前記ウォブル信号に同期させる。一方、アナログPLL回路は、第2クロックを発振

出力して前記ウォブル信号と前記第2クロックとの位相差に応じた制御電圧を生成し、その制御電圧に基づいて前記第2クロックを前記ウォブル信号に同期させる。復調回路は、前記第1及び第2クロックの切り替えが可能に設定され、選択した前記第1及び第2クロックのうち何れか一方を用いて前記ウォブル信号をサンプリングし、前記アドレス情報を復調する。この構成によれば、追従性に優れたデジタルPLL回路の出力と位相ノイズ特性に優れたアナログPLL回路の出力とを利用して、アドレス情報の復調処理を効率的に行うことができる。

【0014】

請求項2に記載の発明によれば、前記デコード装置には、前記ウォブル信号と前記第2クロックとを比較し、前記第2クロックが前記ウォブル信号に同期したことを検出する検出回路が備えられている。そして、前記復調回路は、前記検出回路の検出結果に基づいて、前記第1及び第2クロックのうち何れか一方を選択するようになっている。これにより、アナログPLL回路が未だロックしていない場合にも、アドレス情報を効率良く復調することができる。

【0015】

請求項3に記載の発明によれば、前記復調回路は、前記第2クロックが前記ウォブル信号に同期するまでの期間で前記第1クロックを用いて前記ウォブル信号をサンプリングし、前記第2クロックが前記ウォブル信号に同期した後、前記第2クロックを用いて前記ウォブル信号をサンプリングするようにした。これにより、復調回路は、アナログPLL回路がロックするまで、デジタルPLL回路により生成される第1クロックを用いてアドレス情報を復調する。そして、アナログPLL回路がロックした後は、該アナログPLL回路により生成される第2クロックを用いてアドレス情報を復調する。

【0016】

【発明の実施の形態】

以下、本発明に係るデコード装置を例えばDVD+R/RWのディスク媒体に対応したデータ記録制御装置に備えられるデコード装置に適用した一実施形態について、図面を参照しつつ説明する。

【0017】

本実施形態において、データ記録制御装置の記録対象となるDVD+R/RWには、同ディスク内の案内溝として機能するプリグループが螺旋状に形成されている。このプリグループには、所定周期の蛇行成分（ウォブル）が形成され、そのウォブル成分から得られるウォブル信号は「817.5kHz」の周波数を有する。また、このプリグループには、ウォブル成分に変調を施すことによって、ディスク上の物理的な位置情報（アドレス情報）を表すADIPが例えば8ウォブル周期を一単位として93ウォブル周期毎に書き込まれている（図4（a）～（c）参照）。

【0018】

図1は、データ記録制御装置におけるデコード装置の構成を示すブロック図である。

【0019】

デコード装置11は、デジタルPLL回路12、アナログPLL回路13、分周器14、検出回路15及び復調回路16を含む。このデコード装置11には、ディスク（本実施形態ではDVD+R/RW）から読み出されたウォブル信号が二値化されてウォブルデータWblとして入力される。このウォブルデータWblは、その先頭の8周期にADIP（アドレス情報）が重畳された形となっている。

【0020】

デジタルPLL回路12は、第1クロックDpckを発振出力して復調回路16に設けられた第1の位相検出手段としての第1の排他的論理和回路（以下、第1のEORゲート）17へ供給する。これに加え、デジタルPLL回路12は、同回路12の出力信号と再生データ（具体的にはウォブルデータWbl）との位相差をカウントし、そのカウント値に基づいて第1クロックDpckを帰還制御して該第1クロックDpckをウォブルデータWblに同期させる。

【0021】

アナログPLL回路13は、第2クロックApckを発振出力して復調回路16に設けられた第2の位相検出手段としての第2の排他的論理和回路（以下、第2のEORゲート）18へ供給する。これに加え、アナログPLL回路13は、同回路13の出力信号（正確にはその分周クロックApck1）と再生データ（具体的に

はウォブルデータWb1)との位相差に応じた制御電圧を生成し、その制御電圧に基づいて第2クロックApckを帰還制御して該第2クロックApckをウォブルデータWb1に同期させる。

【0022】

分周器14は、アナログPLL回路13から出力される第2クロックApckを所定の分周比率(本実施形態では1/32)で分周して分周クロックApck1を生成し、検出回路15、アナログPLL回路13及び復調回路16に供給する。

【0023】

復調回路16は、上記第1及び第2のEORゲート17、18、セクタ19及び復調部20を備えている。

【0024】

第1のEORゲート17は、ウォブルデータWb1とデジタルPLL回路12から出力される第1クロックDpckとを入力し、該第1クロックDpckに基づいてウォブルデータWb1をサンプリングする。具体的には、ウォブルデータWb1と第1クロックDpckとの排他的論理和を求めることによってウォブルデータWb1に記録されているADIPの位相反転パターンを検出する(図4に示す信号B参照)。即ち、第1のEORゲート17は、ウォブルデータWb1と第1クロックDpckとの位相が一致するか否かを判定して、一致する個所ではLレベル、逆に互いの位相が反転する個所ではHレベルとなる第1検出信号D1を生成する。

【0025】

第2のEORゲート18は、ウォブルデータWb1と分周器14から出力される分周クロックApck1とを入力し、該分周クロックApck1に基づいてウォブルデータWb1をサンプリングする。具体的には、ウォブルデータWb1と分周クロックApck1との排他的論理和を求めることによってウォブルデータWb1に記録されているADIPの位相反転パターンを検出する(図4に示す信号B参照)。即ち、第2のEORゲート18は、ウォブルデータWb1と分周クロックApck1との位相が一致するか否かを判定して、一致する個所ではLレベル、逆に互いの位相が反転する個所ではHレベルとなる第2検出信号D2を生成する。

【0026】

セクタ 19 は、後述する検出回路 15 からのセレクト信号 Sel に応答して、第 1 及び第 2 の EOR ゲート 17, 18 から出力される第 1 及び第 2 検出信号 D1, D2 を選択的に復調部 20 に出力する。復調部 20 は、このセクタ 19 から出力される信号（第 1 又は第 2 検出信号 D1, D2）を受け取り、その受け取った信号を基にアドレス情報 ADD を復調する。

【0027】

即ち、復調部 20 は、第 1 及び第 2 の EOR ゲート 17, 18 から出力される第 1 及び第 2 検出信号 D1, D2 を参照して、ADIP が対応している値が「SYNC」, 「0」, 「1」の何れであるかを判定し、1 セクタ分の各 ADIP について、それぞれ対応している値に変換していく。通常、1 セクタの先頭の 2 フレームには、「SYNC」に対応する ADIP が付与され、それ以降の 2 フレーム毎には、「0」又は「1」の何れかに対応する ADIP が付与される。したがって、1 セクタ（26 フレーム）分の各 ADIP を対応する値へ逐次変換することで、SYNC 及び 12 ビットのアドレス情報 ADD を得ることができる。

【0028】

検出回路 15 は、ウォブルデータ Wbl と分周クロック Apck1 とを比較し、第 2 クロック Apck がウォブルデータ Wbl に同期しているか否か、すなわちアナログ PLL 回路 13 がロックしたか否かを検出する。そして、その検出結果に応じてセレクト信号 Sel を生成し、セクタ 19 に出力する。例えば、検出回路 15 は、アナログ PLL 回路 13 がロックした場合に H レベルのセレクト信号 Sel を出力し、逆にロックしていない場合には L レベルのセレクト信号 Sel を出力する。

【0029】

図 2 は、アナログ PLL 回路 13 の一構成例を示すブロック図である。

【0030】

アナログ PLL 回路 13 は、位相比較器 21、チャージポンプ 22、ローパスフィルタ（以下、LPF）23 及び電圧制御発振器（以下、VCO）24 を備えている。

【0031】

位相比較器 21 の一方の入力端子にはウォブルデータ Wbl が入力され、他方の

入力端子には、VCO24により発振制御される第2クロックApck（アナログPLL回路13の出力）を分周器14により分周した分周クロックApck1が入力される。位相比較器21は、ウォブルデータWblと分周クロックApck1との位相を比較し、該位相差に応じた位相差信号をチャージポンプ22に出力する。チャージポンプ22は、位相比較器21からの位相差信号に応じた電流をLPF23に出力し、LPF23は、チャージポンプ22の出力電流量に応じた電圧をVCO24に出力する。VCO24は、LPF23の出力電圧に応じて発振し、第2クロックApckを生成する。

【0032】

このように構成されたアナログPLL回路13では、位相比較器21からの位相差信号に基づいてチャージポンプ22の出力電流値、LPF23の出力電圧値が変更され、それに応じてVCO24の発振周波数が変更される。アナログPLL回路13は、このようなフィードバック動作を繰り返し行うことにより、VCO24から出力される第2クロックApck（具体的にはその分周クロックApck1）をウォブルデータWblに同期させる。

【0033】

図3は、上記デジタルPLL回路12の一構成例を示すブロック図である。

【0034】

デジタルPLL回路12は、カウンタ31、フィルタ32、位相比較カウンタ33、フィルタ34、加算器35及びVCOカウンタ36を含む。

【0035】

カウンタ31は、ウォブルデータWblの速度（周波数）検出として機能し、入力するウォブルデータWblの周期をカウントすることによって該ウォブルデータWblの周波数を検出する。フィルタ32は、カウンタ31の出力を取り込んでフィルタリング処理を施し、加算器35を介してVCOカウンタ36へ出力する。即ち、ウォブルデータWblの周波数が微小に変化した場合、フィルタ32によって微小変化をキャンセルすることによって、VCOカウンタ36の出力を安定させるようにしている。

【0036】

位相比較カウンタ 33 は、ウォブルデータ Wbl と VCO カウンタ 36 から出力される第 1 クロック Dpck とを入力し、ウォブルデータ Wbl と第 1 クロック Dpck との位相を比較する。具体的には、位相比較カウンタ 33 は、第 1 クロック Dpck の位相がウォブルデータ Wbl の位相に対してどれだけ進んでいるのか、あるいはどれだけ遅れているのかをカウントし、そのカウント値をフィルタ 34 に出力する。フィルタ 34 は、位相比較カウンタ 33 の出力を取り込んでフィルタリング処理を施し、加算器 35 を介して VCO カウンタ 36 へ出力する。このフィルタ 34 においても、上記フィルタ 32 と同様に、ウォブルデータ Wbl と第 1 クロック Dpck との微小な位相差に VCO カウンタ 36 の出力が追従しないように設けられている。

【0037】

加算器 35 は、フィルタ 32 からの出力とフィルタ 34 からの出力とを加算し、加算信号を VCO カウンタ 36 へ出力する。VCO カウンタ 36 は、加算器 35 の出力に基づいて第 1 クロック Dpck の周波数及び位相を補正し、第 1 クロック Dpck をウォブルデータ Wbl に同期させる。

【0038】

このように構成されるデジタル PLL 回路 12 は、アナログ PLL 回路 13 に比べて追従性に優れ、第 1 クロック Dpck をウォブルデータ Wbl に高速にロックさせることができる。すなわち、デジタル PLL 回路 12 は、アナログ PLL 回路 13 がウォブルデータ Wbl に同期した第 2 クロック Apck を生成するよりも早く、第 1 クロック Dpck をウォブルデータ Wbl に同期させる。

【0039】

次に、本実施形態のデコード装置 11 の動作について説明する。

【0040】

今、ディスクから読み取られて二値化されたウォブルデータ Wbl がデコード装置 11 に入力され、デジタル PLL 回路 12 及びアナログ PLL 回路 13 が、そのウォブルデータ Wbl に同期した第 1 及び第 2 クロック Dpck, Apck を生成する。

【0041】

第 1 及び第 2 の EOR ゲート 17, 18 は、第 1 及び第 2 クロック Dpck, Apck

に基づいて、ウォブルデータWb1 に記録されているADIPの位相反転パターンをそれぞれ検出し、それによって生成した第1及び第2検出信号D1, D2をセクタ19に出力する。

【0042】

このとき、セクタ19は、検出回路15から出力される例えばLレベルのセレクト信号Sel に応答して、第1のEORゲート17から出力される第1検出信号D1を選択する。復調部20は、その第1検出信号D1に基づいてアドレス情報ADD を復調する。

【0043】

検出回路15は、アナログPLL回路13から出力される第2クロックApckがウォブルデータWb1 に同期したか否か、すなわちアナログPLL回路13がロックしたか否かを検出し、該アナログPLL回路13がロックするときHレベルのセレクト信号Sel をセクタ19に出力する。

【0044】

セクタ19は、そのHレベルのセレクト信号Sel に応答して、第2のEORゲート18から出力される第2検出信号D2を選択する。これにより、復調部20は、その第2検出信号D2に基づいてアドレス情報ADD を復調する。

【0045】

このように、本実施形態のデコード装置11では、アナログPLL回路13がロックするまでは、デジタルPLL回路12により生成される第1クロックDpckに従って検出される位相反転パターンに基づいてアドレス情報ADD が復調される。そして、アナログPLL回路13がロックした後は、同アナログPLL回路により生成される第2クロックApck（具体的にはその分周クロックApck1）に従って検出される位相反転パターンに基づいてアドレス情報ADD が復調される。

【0046】

以上記述した本実施形態によれば、以下の効果を奏する。

【0047】

(1) デコード装置11は、アナログPLL回路13がロックするまで、デジタルPLL回路12により生成される第1クロックDpckに従って検出したADI

Pの位相反転パターンからアドレス情報ADDを復調する。そして、アナログPLL回路13がロックした後は、第2クロックApckに従って検出したADIPの位相反転パターンからアドレス情報ADDを復調する。この構成によれば、第2クロックApckがウォブルデータWblにロックするまでは、追従性に優れるデジタルPLL回路12の出力を利用し、ロックした後は、位相ノイズ特性に優れるアナログPLL回路13の出力を利用してアドレス情報ADDの復調を行うことができる。これにより、ウォブルデータWblに記録されているアドレス情報ADDを効率良く復調することが可能である。

【0048】

(2) 本実施形態では、アナログPLL回路13の面積が増大することを抑止できるため、デコード装置11全体としての回路規模が増大することもない。

【0049】

尚、上記実施形態は、以下のように変更して実施してもよい。

【0050】

・デコード装置11に備えるデジタルPLL回路12及びアナログPLL回路13としては、図1及び図2に示す構成に限定されるものではない。例えば、図1において、アナログPLL回路13が分周器14を含む形態としてもよい。

【0051】

・検出回路15によってアナログPLL回路13がロックしたかどうかを検出する方法は、本実施形態の態様に限定されない。例えば、検出回路15は、ウォブルデータWblとアナログPLL回路13から出力される第2クロックApckとを比較することにより、ロックしたか否かを検出するようにしてもよい。

【0052】

・本実施形態では、アナログPLL回路13のチャージポンプ22として電流出力タイプを例示したが、これに限られるものではなく、電圧出力タイプであってもよい。

【0053】

・本実施形態では、記録対象とするディスク媒体をDVD+R/RWとしたが、これらのディスク媒体のみに限定されるものではない。

【0054】

上記実施形態から把握できる技術思想を以下に記載する。

【0055】

(イ) 前記復調回路は、

前記第1クロックに基づいて前記ウォブル信号の位相反転を検出する第1の位相検出手段と、

前記第2クロックに基づいて前記ウォブル信号の位相反転を検出する第2の位相検出手段と、

を含むことを特徴とする請求項1乃至3の何れか一項記載のデコード装置。

【0056】

(ロ) 前記復調回路は、

前記第1及び第2の位相検出手段の出力をそれぞれ入力し、前記検出回路の検出結果に応答して前記第1及び第2クロックのうち何れか一方を選択するセレクタをさらに含むことを特徴とする(イ)記載のデコード装置。

【0057】

(ハ) 前記アナログPLL回路は、

前記ウォブル信号と前記第2クロックを所定の分周比率で分周した分周クロックとの位相差に応じた位相差信号を出力する位相比較器と、

前記位相差信号に応じた電流を出力するチャージポンプと、

前記チャージポンプの出力電流に応じた電圧を出力するローパスフィルタと、

前記ローパスフィルタの出力電圧に応じて発振し、前記第2クロックを出力する電圧制御発振器と、を備え、

前記検出回路は、前記ウォブル信号と前記分周クロックとに基づいて前記アナログPLL回路がロックしたか否かを検出することを特徴とする請求項2, 3,

(イ), (ロ)の何れか一記載のデコード装置。

【0058】**【発明の効果】**

以上記述したように、本発明によれば、位相変調によって記録されるアドレス情報の復調処理を効率化し得るデコード装置を提供することができる。

【図面の簡単な説明】

【図 1】 データ記録制御装置に備えられるデコード装置の一実施形態を示すブロック図。

【図 2】 同実施形態におけるアナログ PLL 回路の一構成例を示すブロック図。

【図 3】 同実施形態におけるデジタル PLL 回路の一構成例を示すブロック図。

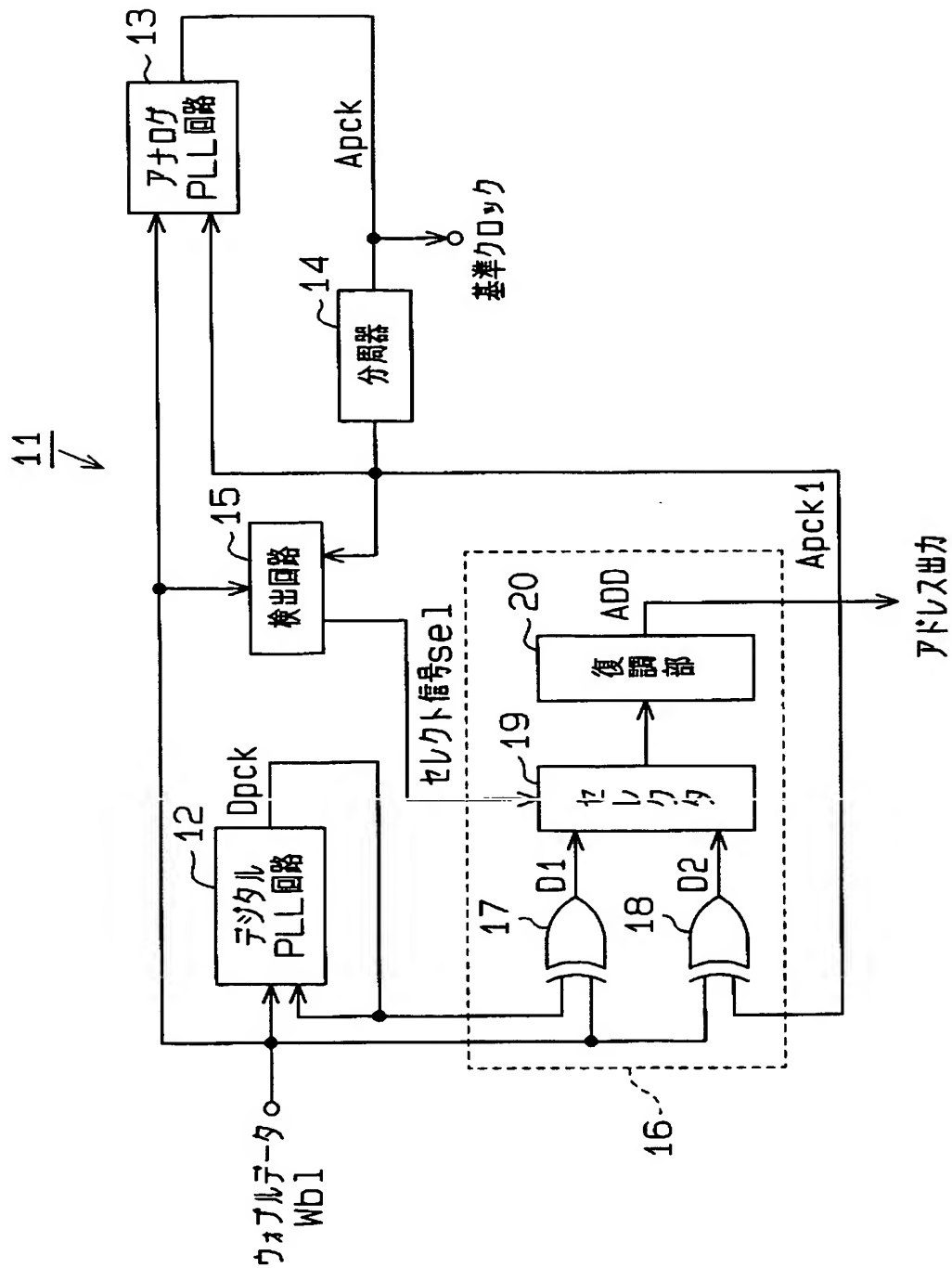
【図 4】 再生信号の一例を示す波形図であり、(a) は SYNC パターン、(b) はビット値「0」に対応したパターン、(c) はビット値「1」に対応したパターンを示す。

【符号の説明】

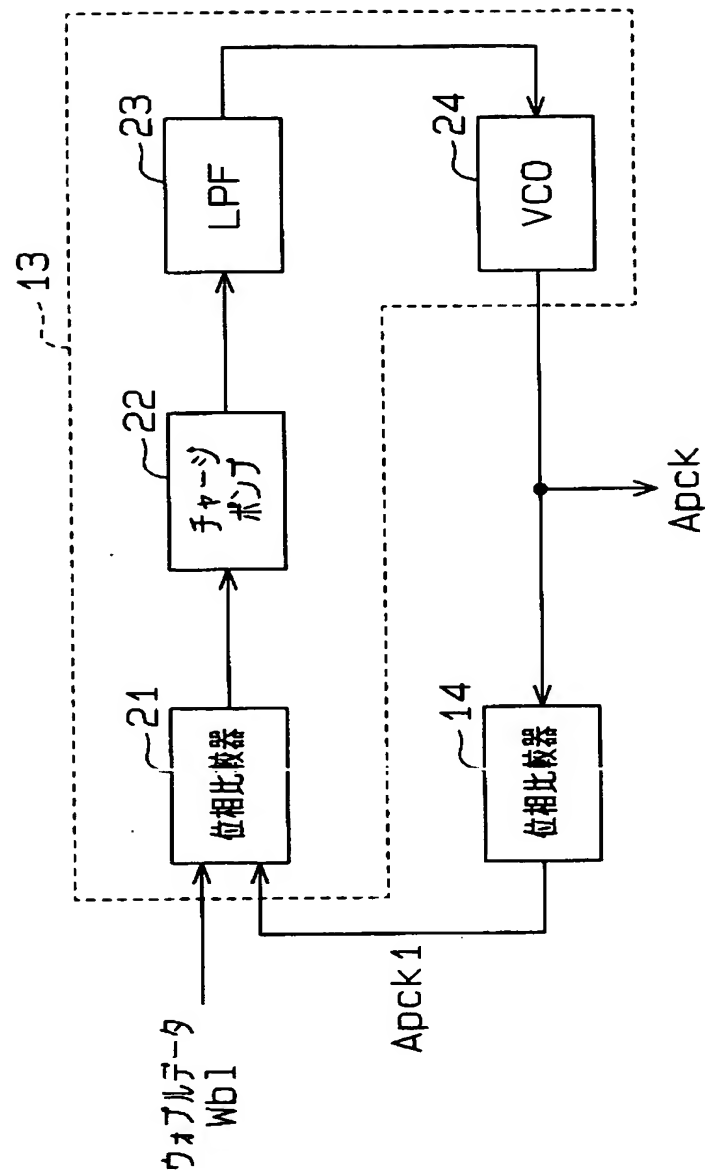
Wb1 …ウォブル信号を二値化したウォブルデータ、Dpck…第 1 クロック、Apck …第 2 クロック、ADD …アドレス情報、11…デコード装置、12…デジタル PLL 回路、13…アナログ PLL 回路、15…検出回路、16…復調回路。

【書類名】 図面

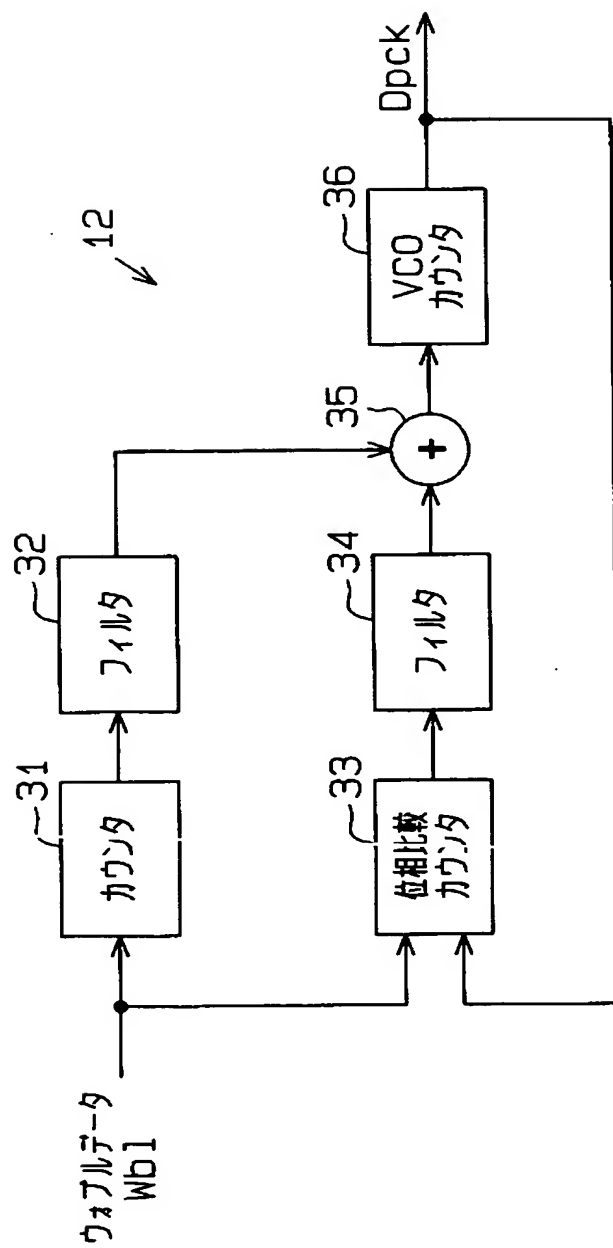
【図 1】



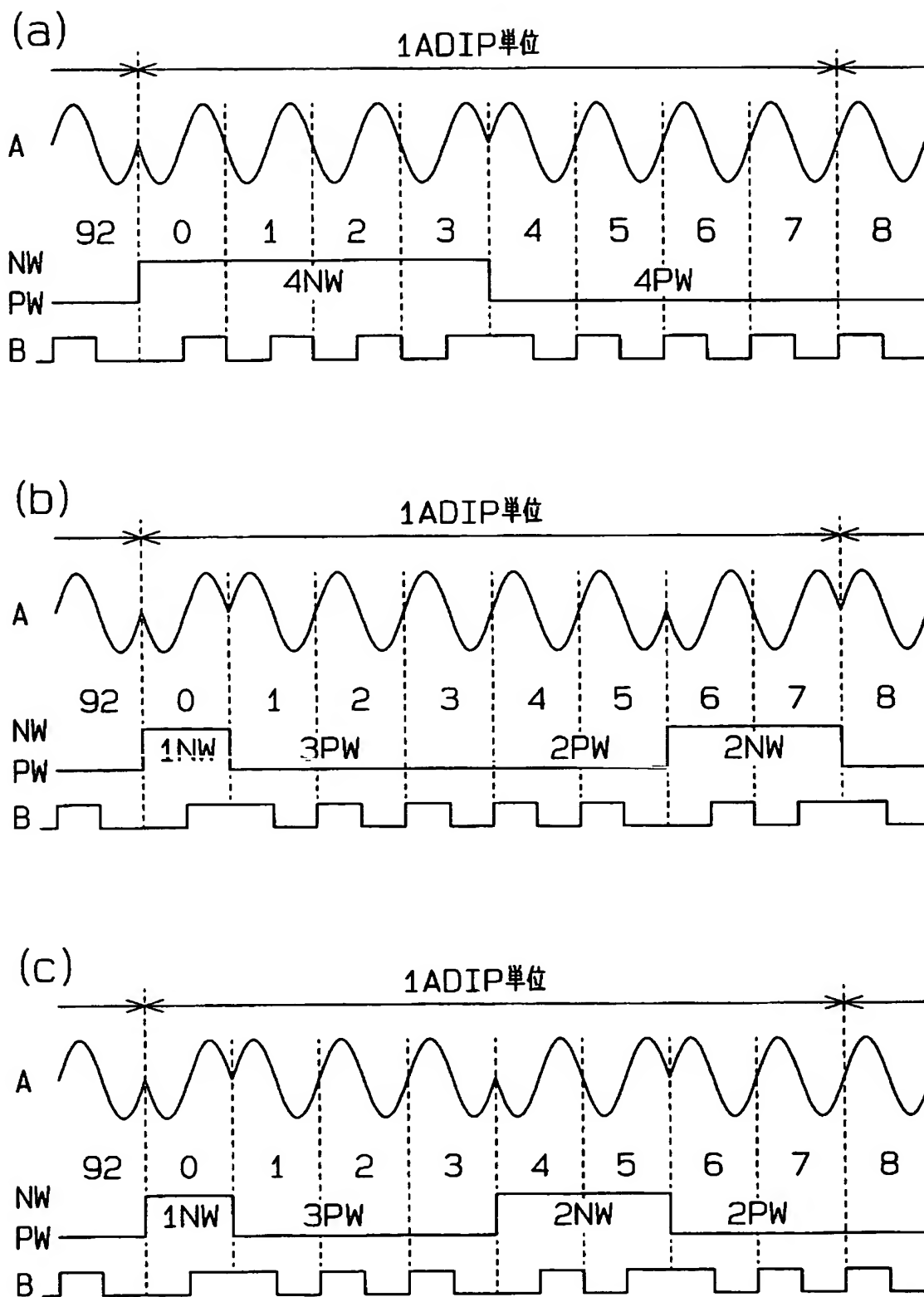
【図 2】



【図 3】



【図 4】






【書類名】 要約書

【要約】

【課題】 位相変調によって記録されるアドレス情報の復調処理を効率化する。

【解決手段】 デコード装置 11 は、アナログ PLL 回路 13 がロックするまで、デジタル PLL 回路 12 により生成される第 1 クロック Dpck に基づいて検出した ADIP の位相反転パターンからアドレス情報 ADD を復調する。そして、アナログ PLL 回路 13 がロックした後は、該アナログ PLL 回路 13 により生成される第 2 クロック Apck に基づいて検出した ADIP の位相反転パターンからアドレス情報 ADD を復調する。

【選択図】 図 1



特願 2 0 0 3 - 0 4 2 4 1 6

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1 . 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社